

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-026764

(43)Date of publication of application : 29.01.1999

(51)Int.Cl.

H01L 29/78
H01L 21/336
H01L 21/265

(21)Application number : 09-182621

(71)Applicant : SONY CORP

(22)Date of filing : 08.07.1997

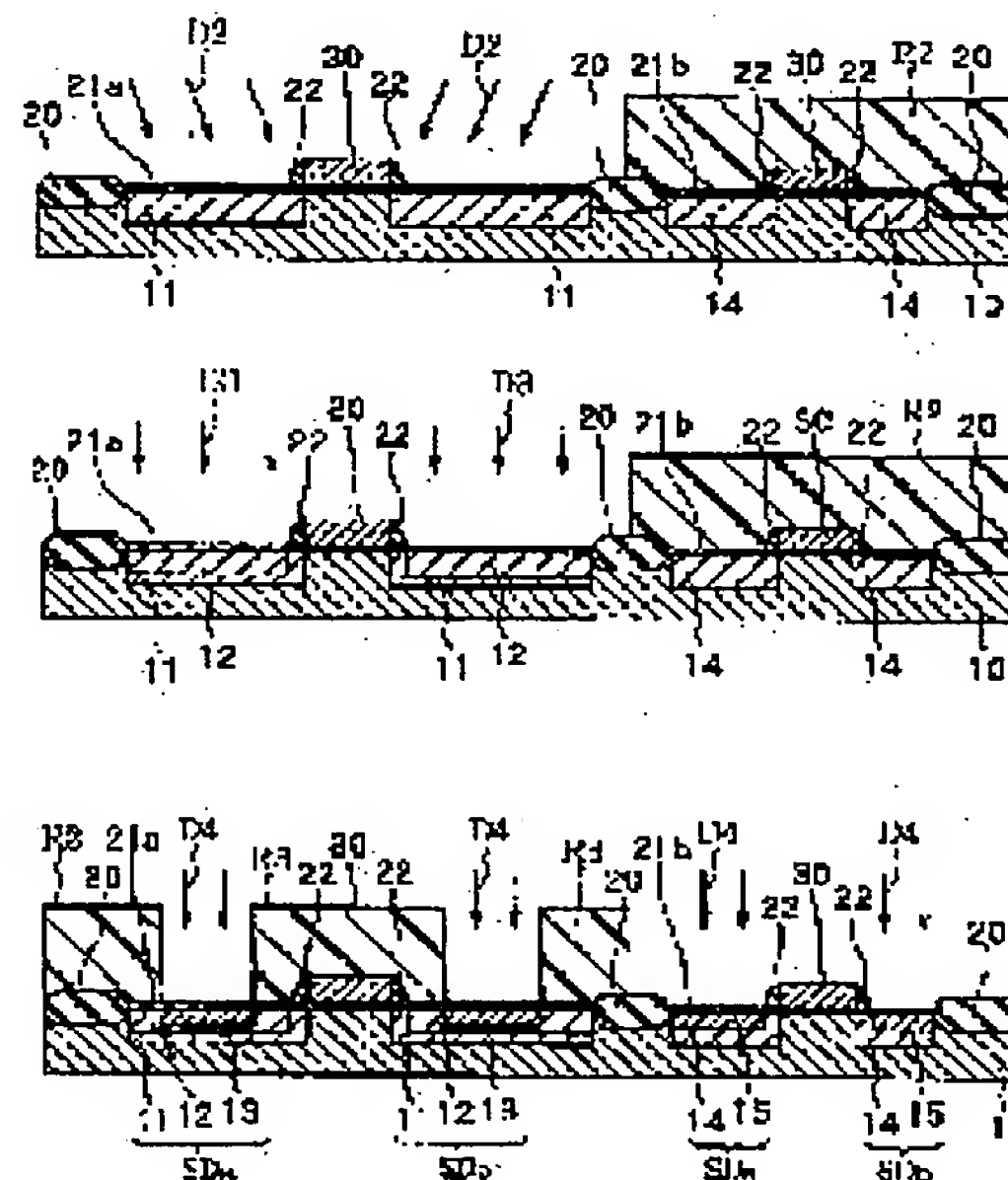
(72)Inventor : KAMIMURA KAZUHITO

(54) MANUFACTURE OF SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a method of manufacturing a semiconductor device having high voltage driving transistors which suppress the increase of resist patterning steps to reduce the manufacturing cost.

SOLUTION: The method comprises forming a gate insulation film 21a on channel forming regions on a semiconductor substrate 10, forming gate electrodes 30 on the film 21a, introducing a conductive impurity D2 for forming a lightly doped diffused layer 11 adjacent the channel forming regions, introducing a conductive impurity D3 for forming a medium-doped diffused layer 12 adjacent the diffused layer 11, introducing a conductive impurity D4 for forming a heavily doped diffused layer 13 adjacent the diffused layer 12, activating the introduced impurities to form these diffused layers 11, 12, 13; the impurity ions are implanted obliquely to form the layer 11.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

THIS PAGE BLANK (USPTO)

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平11-26764

(43)公開日 平成11年(1999)1月29日

(51)Int.Cl.⁶

識別記号

F I

H 0 1 L 29/78
21/336
21/265

H 0 1 L 29/78 3 0 1 P
21/265 6 0 4 V
29/78 3 0 1 S

審査請求 未請求 請求項の数12 O L (全 8 頁)

(21)出願番号 特願平9-182621

(22)出願日 平成9年(1997)7月8日

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 神村 員人

東京都品川区北品川6丁目7番35号 ソニ
ー株式会社内

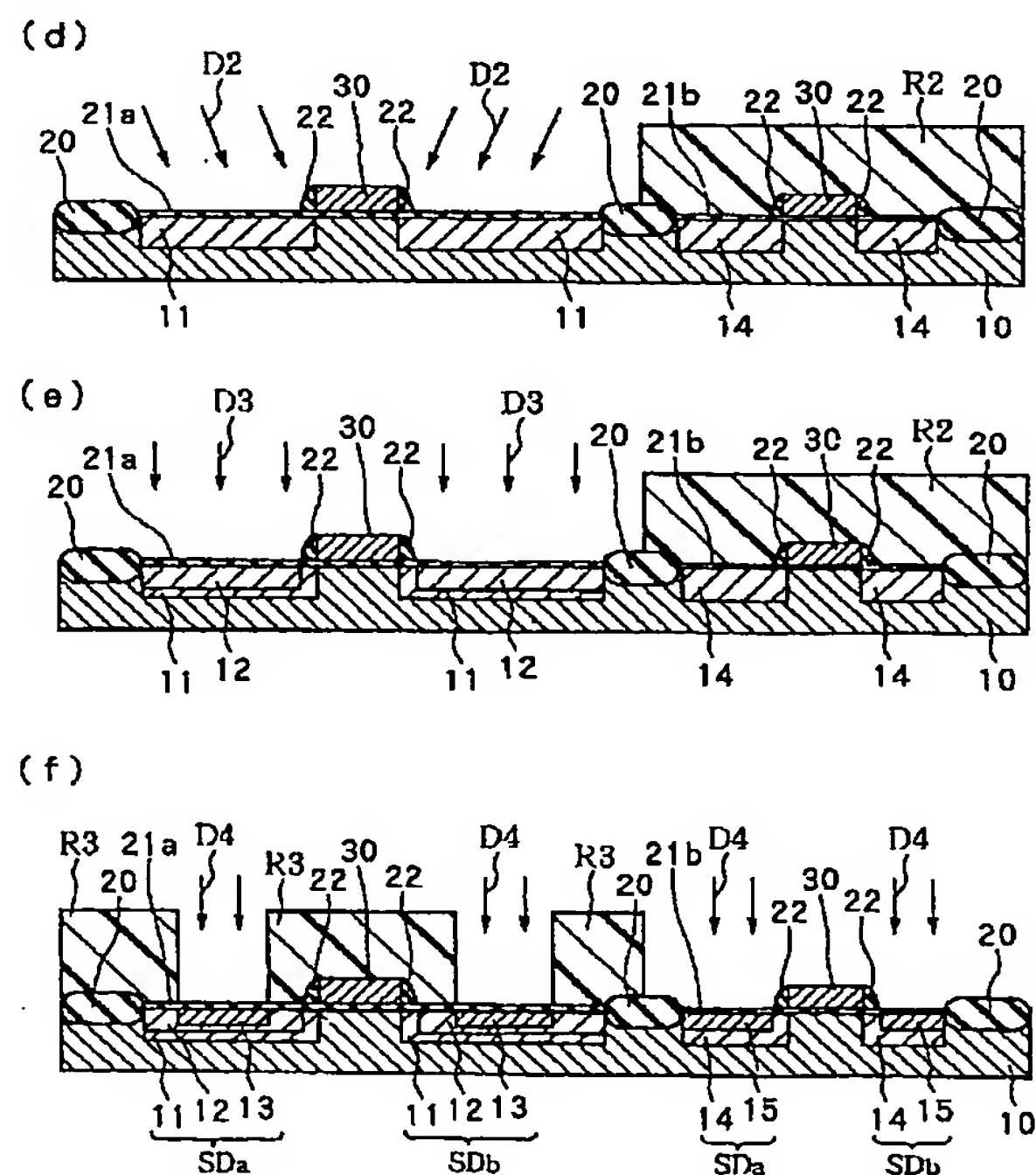
(74)代理人 弁理士 佐藤 隆久

(54)【発明の名称】 半導体装置の製造方法

(57)【要約】

【課題】レジストパターンニング工程の増加を抑え、製造コストの削減を可能とした高電圧駆動用トランジスタを有する半導体装置の製造方法を提供する。

【解決手段】半導体基板10のチャネル形成領域上にゲート絶縁膜21aを形成し、ゲート絶縁膜21a上にゲート電極30を形成し、チャネル形成領域と隣接するように低濃度拡散層11を形成する導電性不純物D2を導入し、低濃度拡散層11と隣接するように中濃度拡散層12を形成する導電性不純物D3を導入し、中濃度拡散層12と隣接するように高濃度拡散層13を形成する導電性不純物D4を導入し、導入した導電性不純物を活性化して低濃度拡散層11、中濃度拡散層12および高濃度拡散層13を形成する。特に、低濃度拡散層11は、斜めに不純物をイオン注入する。



【特許請求の範囲】

【請求項1】チャンネル形成領域から導電性不純物を低濃度に含有する低濃度拡散層、中濃度に含有する中濃度拡散層、および高濃度に含有する高濃度拡散層が順に接合した拡散層を有する電界効果型トランジスタを有する半導体装置の製造方法であって、

半導体基板の前記チャンネル形成領域上にゲート絶縁膜を形成する工程と、

前記ゲート絶縁膜上にゲート電極を形成する工程と、

前記チャンネル形成領域と隣接するように前記低濃度拡散層を形成する導電性不純物を導入する工程と、

前記低濃度拡散層と隣接するように前記中濃度拡散層を形成する導電性不純物を導入する工程と、

前記中濃度拡散層と隣接するように前記高濃度拡散層を形成する導電性不純物を導入する工程と、

前記低濃度拡散層、前記中濃度拡散層および前記高濃度拡散層を形成する導電性不純物を活性化して前記低濃度拡散層、前記中濃度拡散層および前記高濃度拡散層を形成する工程とを有する半導体装置の製造方法。

【請求項2】前記低濃度拡散層形成用の導電性不純物を導入する工程が、導電性不純物を斜めにイオン注入する工程である請求項1記載の半導体装置の製造方法。

【請求項3】前記ゲート電極を形成する工程の後、前記低濃度拡散層を形成する導電性不純物を導入する工程の前に、前記ゲート電極の側部にサイドウォール絶縁膜を形成する工程をさらに有する請求項1記載の半導体装置の製造方法。

【請求項4】前記低濃度拡散層を形成する導電性不純物を導入する工程が、前記サイドウォール絶縁膜をマスクとして導電性不純物を導入する工程であり、前記中濃度拡散層を形成する導電性不純物を導入する工程が、前記サイドウォール絶縁膜をマスクとして導電性不純物を導入する工程である請求項3記載の半導体装置の製造方法。

【請求項5】前記低濃度拡散層を形成する導電性不純物を導入する工程が、導電性不純物を斜めにイオン注入する工程である請求項4記載の半導体装置の製造方法。

【請求項6】前記高濃度拡散層を形成する導電性不純物を導入する工程の前に、前記高濃度拡散層形成用レジスト膜を形成する工程をさらに有し、前記高濃度拡散層を形成する導電性不純物を導入する工程が、前記高濃度拡散層形成用レジスト膜をマスクとして導電性不純物を導入する工程である請求項1記載の半導体装置の製造方法。

【請求項7】第1チャンネル形成領域から導電性不純物を低濃度に含有する第1低濃度拡散層、中濃度に含有する第1中濃度拡散層、および高濃度に含有する第1高濃度拡散層が順に接合した第1拡散層を有する第1電界効果型トランジスタと、前記第1チャンネル形成領域とは位置の異なる第2チャンネル形成領域から導電性不純物を低濃

度に含有する第2低濃度拡散層および高濃度に含有する第2高濃度拡散層が順に接合した第2拡散層を有する第2電界効果型トランジスタとを有する半導体装置の製造方法であって、

半導体基板中の前記第1チャンネル形成領域上に第1ゲート絶縁膜を形成する工程と、

前記半導体基板中の前記第2チャンネル形成領域上に第2ゲート絶縁膜を形成する工程と、

前記第1ゲート絶縁膜上および前記第2ゲート絶縁膜上に第1ゲート電極および第2ゲート電極を形成する工程と、

前記第2電界効果型トランジスタの形成領域を開口するレジスト膜を形成する工程と、

前記第2チャンネル形成領域と隣接するように前記第2低濃度拡散層を形成する導電性不純物を導入する工程と、

前記第1電界効果型トランジスタの形成領域を開口するレジスト膜を形成する工程と、

前記第1チャンネル形成領域と隣接するように前記第1低濃度拡散層を形成する導電性不純物を導入する工程と、

前記第1低濃度拡散層と隣接するように前記第1中濃度拡散層を形成する導電性不純物を導入する工程と、

前記第1中濃度拡散層と隣接するように前記第1高濃度拡散層を形成する導電性不純物を導入する工程と、

前記第2低濃度拡散層と隣接するように前記第2高濃度拡散層を形成する導電性不純物を導入する工程と、

前記第1低濃度拡散層、前記第1中濃度拡散層、前記第1高濃度拡散層、前記第2低濃度拡散層、および前記第2高濃度拡散層を形成する導電性不純物を活性化して、

前記第1低濃度拡散層、前記第1中濃度拡散層、前記第1高濃度拡散層、前記第2低濃度拡散層、および前記第2高濃度拡散層を形成する工程とを有する半導体装置の製造方法。

【請求項8】前記第1低濃度拡散層を形成する導電性不純物を導入する工程が、導電性不純物を斜めにイオン注入する工程である請求項7記載の半導体装置の製造方法。

【請求項9】前記第2低濃度拡散層を形成する導電性不純物を導入する工程の後、前記第1電界効果型トランジスタの形成領域を開口するレジスト膜を形成する工程の前に、前記第1ゲート電極および第2ゲート電極の側部にサイドウォール絶縁膜を形成する工程をさらに有する請求項7記載の半導体装置の製造方法。

【請求項10】前記第1低濃度拡散層を形成する導電性不純物を導入する工程が、前記サイドウォール絶縁膜をマスクとして導電性不純物を導入する工程であり、前記第1中濃度拡散層を形成する導電性不純物を導入する工程が、前記サイドウォール絶縁膜をマスクとして導電性不純物を導入する工程である請求項9記載の半導体装置の製造方法。

【請求項11】前記第1低濃度拡散層を形成する導電性

【請求項11】前記第1低濃度拡散層を形成する導電性

不純物を導入する工程が、導電性不純物を斜めにイオン注入する工程である請求項 10 記載の半導体装置の製造方法。

【請求項 12】前記第 1 中濃度拡散層を形成する導電性不純物を導入する工程の後、前記第 1 高濃度拡散層を形成する導電性不純物を導入する工程の前に、前記第 1 高濃度拡散層形成領域および前記第 2 高濃度拡散層形成領域を開口するレジスト膜を形成する工程をさらに有し、前記第 1 高濃度拡散層を形成する導電性不純物を導入する工程と、前記第 2 高濃度拡散層を形成する導電性不純物を導入する工程とを同時に行う請求項 7 記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体装置の製造方法に関し、特に高電圧駆動用トランジスタを有する半導体装置の製造方法に関する。

【0002】

【従来の技術】電界効果トランジスタ（FET；Field Effect Transistor）は電圧駆動型の半導体装置であり、バイポーラ系のトランジスタの電流駆動型の半導体装置とは異なり、真空管に似た特性を持つ小型能動素子であり、近年の半導体装置においては重要な役割を果たしている。

【0003】上記の電界効果トランジスタの代表例として、金属-酸化物-半導体積層型電界効果トランジスタ（MOSFET；Metal-Oxide-Semiconductor FET）がある。これは、DRAM（Dynamic Random Access Memories）などの半導体記憶装置や、A/Dコンバータなどの半導体装置、あるいは論理演算素子などの半導体装置などに広く用いられているトランジスタであり、LDD構造など、様々な構造を有するものが開発されている。

【0004】上記のMOSFETのうち、高電圧駆動用のトランジスタとしては、高電圧耐圧特性が必要であり、従来から知られている一般的な高電圧駆動用トランジスタの拡散層構造について、nチャネルトランジスタを例として図4（a）に示す。素子分離絶縁膜20により分離されたp型半導体基板あるいはpウェル10のチャネル形成領域上に酸化シリコン薄膜であるゲート絶縁膜21aを介して例えばポリシリコンとタンゲステンシリサイドの積層体であるポリサイドからなるゲート電極30が形成されており、ゲート電極30の両側部の半導体基板10中にn型不純物の低濃度拡散層16と高濃度拡散層17が形成されている。

【0005】上記の拡散層構造においては、低濃度拡散層16と高濃度拡散層17の2重構造とすることにより、接合耐圧の向上、寄生バイポーラ動作の抑制を行うことができる。ここで、接合耐圧の向上とは印加電圧の上昇によって突然大きな電流が流れだすアバランシェ・ブレークダウンを引き起こす電圧の上昇などに相当し、

寄生バイポーラ動作の抑制とは、高電圧の印加によりドレイン拡散層とシリコン基板との界面などでホットキャリア（ホットエレクトロンとホットホール）が発生し、基板側ではホットホールが発生するので電位が上昇し、バイポーラトランジスタの導通動作と似た寄生的な動作が発生するのを抑制するものであり、これらによって高電圧を印加してもMOSFET本来の動作特性を安定に維持することができる。

【0006】上記の2重構造の拡散層の形成方法としては、例えば基板10上のゲート電極30をバターニング形成し、ゲート電極をマスクとして導電性不純物イオンを注入して低濃度拡散層16を形成し、次にゲート電極30の側面にサイドウォール絶縁膜22を形成し、このサイドウォール絶縁膜22をマスクとして導電性不純物イオンを注入して高濃度拡散層17を形成する方法が一般的である。

【0007】しかしながら、さらに高電圧下で駆動させる場合には、上記の構造の拡散層においても、例えばシリコン基板10と低濃度拡散層16の界面、あるいは低濃度拡散層16と高濃度拡散層17の界面などにおいて寄生バイポーラ動作が発生しやすくなるなど、耐高電圧特性に限界があり、導電性不純物の濃度差を小さくする必要がある。

【0008】上記のようなさらなる高電圧下でも駆動可能とするためには、2重構造の拡散層よりも耐高電圧特性を向上させる拡散層として、図4（b）に示すように、低濃度拡散層11、中濃度拡散層12、および高濃度拡散層13と、3重拡散層構造とする必要がでてくる。

【0009】

【発明が解決しようとする課題】しかしながら、上記の3重拡散層構造を形成するためには、従来の方法によれば低濃度拡散層11、中濃度拡散層12および高濃度拡散層13のそれぞれを形成するためのイオン注入用のマスクとしてレジスト膜をバターニングする必要があったので、レジストバターニング工程の増加を招き、製造コストの上昇の原因となっていた。

【0010】本発明は上記の問題点に鑑みてなされたものであり、従って本発明の目的は、レジストバターニング工程の増加を抑え、製造コストの削減を可能とした高電圧駆動用トランジスタを有する半導体装置の製造方法を提供することである。

【0011】

【課題を解決するための手段】上記の目的を達成するため、本発明の半導体装置の製造方法は、チャネル形成領域から導電性不純物を低濃度に含有する低濃度拡散層、中濃度に含有する中濃度拡散層、および高濃度に含有する高濃度拡散層が順に接合した拡散層を有する電界効果型トランジスタを有する半導体装置の製造方法であって、半導体基板の前記チャネル形成領域上にゲート絶縁

膜を形成する工程と、前記ゲート絶縁膜上にゲート電極を形成する工程と、前記チャネル形成領域と隣接するように前記低濃度拡散層を形成する導電性不純物を導入する工程と、前記低濃度拡散層と隣接するように前記中濃度拡散層を形成する導電性不純物を導入する工程と、前記中濃度拡散層と隣接するように前記高濃度拡散層を形成する導電性不純物を導入する工程と、前記低濃度拡散層、前記中濃度拡散層および前記高濃度拡散層を形成する導電性不純物を活性化して前記低濃度拡散層、前記中濃度拡散層および前記高濃度拡散層を形成する工程とを有する。

【0012】上記の本発明の半導体装置の製造方法は、半導体基板のチャネル形成領域上にゲート絶縁膜を形成し、ゲート絶縁膜上にゲート電極を形成し、チャネル形成領域と隣接するように低濃度拡散層を形成する導電性不純物を導入し、低濃度拡散層と隣接するように中濃度拡散層を形成する導電性不純物を導入し、中濃度拡散層と隣接するように高濃度拡散層を形成する導電性不純物を導入し、低濃度拡散層、中濃度拡散層および高濃度拡散層を形成する導電性不純物を活性化して低濃度拡散層、中濃度拡散層および高濃度拡散層を形成する。

【0013】上記の本発明の半導体装置の製造方法によれば、低濃度拡散層、中濃度拡散層および高濃度拡散層の3重構造の拡散層を有し、高電圧下での駆動が可能な電界効果型トランジスタを有する半導体装置を製造できる。ここで、例えば低濃度拡散層を形成する導電性不純物を斜めにイオン注入し、中濃度拡散層を形成する導電性不純物を垂直にイオン注入すること、あるいは拡散係数の異なる導電性不純物を導入して活性化工程において濃度勾配を発生させ、低濃度拡散層と中濃度拡散層とを拡散領域を異ならせて形成することなどにより、レジストバタニング工程の増加を抑えることができ、製造コストの削減が可能である。

【0014】上記の本発明の半導体装置の製造方法は、好適には、前記低濃度拡散層形成用の導電性不純物を導入する工程が、導電性不純物を斜めにイオン注入する工程である。これにより、ゲート電極やその側部に形成するサイドウォール絶縁膜をマスクとしてイオン注入しても、その下部に回り込んで低濃度拡散層を形成することが可能で、低濃度拡散層を形成するためのマスク層となるレジスト膜のバタニングが不要とすることができ

る。

【0015】上記の本発明の半導体装置の製造方法は、好適には、前記ゲート電極を形成する工程の後、前記低濃度拡散層を形成する導電性不純物を導入する工程の前に、前記ゲート電極の側部にサイドウォール絶縁膜を形成する工程をさらに有し、さらに好適には、前記低濃度拡散層を形成する導電性不純物を導入する工程が、前記サイドウォール絶縁膜をマスクとして導電性不純物を導入する工程であり、前記中濃度拡散層を形成する導電性

不純物を導入する工程が、前記サイドウォール絶縁膜をマスクとして導電性不純物を導入する工程である。これにより、例えば低濃度拡散層を形成する導電性不純物を斜めにイオン注入し、中濃度拡散層を形成する導電性不純物を垂直にイオン注入すること、あるいは拡散係数の異なる導電性不純物を導入して活性化工程において濃度勾配を発生させ、低濃度拡散層と中濃度拡散層とを拡散領域を異ならせて形成して、サイドウォール絶縁膜の下部に回り込んで低濃度拡散層を形成することにより、レジストバタニング工程の増加を抑えることができ、製造コストの削減が可能である。

【0016】上記の本発明の半導体装置の製造方法は、好適には、前記高濃度拡散層を形成する導電性不純物を導入する工程の前に、前記高濃度拡散層形成用レジスト膜を形成する工程をさらに有し、前記高濃度拡散層を形成する導電性不純物を導入する工程が、前記高濃度拡散層形成用レジスト膜をマスクとして導電性不純物を導入する工程である。これにより、低濃度拡散層および中濃度拡散層と形成領域を異ならせて高濃度拡散層を形成することが可能である。

【0017】また、上記の目的を達成するため、本発明の半導体装置の製造方法は、第1チャネル形成領域から導電性不純物を低濃度に含有する第1低濃度拡散層、中濃度に含有する第1中濃度拡散層、および高濃度に含有する第1高濃度拡散層が順に接合した第1拡散層を有する第1電界効果型トランジスタと、前記第1チャネル形成領域とは位置の異なる第2チャネル形成領域から導電性不純物を低濃度に含有する第2低濃度拡散層および高濃度に含有する第2高濃度拡散層が順に接合した第2拡散層を有する第2電界効果型トランジスタとを有する半導体装置の製造方法であって、半導体基板中の前記第1チャネル形成領域上に第1ゲート絶縁膜を形成する工程と、前記半導体基板中の前記第2チャネル形成領域上に第2ゲート絶縁膜を形成する工程と、前記第1ゲート絶縁膜上および前記第2ゲート絶縁膜上に第1ゲート電極および第2ゲート電極を形成する工程と、前記第2電界効果型トランジスタの形成領域を開口するレジスト膜を形成する工程と、前記第2チャネル形成領域と隣接するように前記第2低濃度拡散層を形成する導電性不純物を導入する工程と、前記第1電界効果型トランジスタの形成領域を開口するレジスト膜を形成する工程と、前記第1チャネル形成領域と隣接するように前記第1低濃度拡散層を形成する導電性不純物を導入する工程と、前記第1低濃度拡散層と隣接するように前記第1中濃度拡散層を形成する導電性不純物を導入する工程と、前記第1中濃度拡散層と隣接するように前記第1高濃度拡散層を形成する導電性不純物を導入する工程と、前記第2低濃度拡散層と隣接するように前記第2高濃度拡散層を形成する導電性不純物を導入する工程と、前記第1低濃度拡散層、前記第1中濃度拡散層、前記第1高濃度拡散層、前

記第2低濃度拡散層、および前記第2高濃度拡散層を形成する導電性不純物を活性化して、前記第1低濃度拡散層、前記第1中濃度拡散層、前記第1高濃度拡散層、前記第2低濃度拡散層、および前記第2高濃度拡散層を形成する工程とを有する。

【0018】上記の本発明の半導体装置の製造方法は、半導体基板中の第1チャネル形成領域上に第1ゲート絶縁膜を形成し、半導体基板中の第2チャネル形成領域上に第2ゲート絶縁膜を形成し、第1ゲート絶縁膜上および第2ゲート絶縁膜上に第1ゲート電極および第2ゲート電極を形成する。次に、第2電界効果型トランジスタの形成領域を開口するレジスト膜を形成し、第2チャネル形成領域と隣接するように第2低濃度拡散層を形成する導電性不純物を導入し、第1電界効果型トランジスタの形成領域を開口するレジスト膜を形成し、第1チャネル形成領域と隣接するように第1低濃度拡散層を形成する導電性不純物を導入し、第1低濃度拡散層と隣接するように第1中濃度拡散層を形成する導電性不純物を導入し、第1中濃度拡散層と隣接するように第1高濃度拡散層を形成する導電性不純物を導入し、第2低濃度拡散層と隣接するように第2高濃度拡散層を形成する導電性不純物を導入する。次に、第1低濃度拡散層、第1中濃度拡散層、第1高濃度拡散層、第2低濃度拡散層、および第2高濃度拡散層を形成する導電性不純物を活性化して、第1低濃度拡散層、第1中濃度拡散層、第1高濃度拡散層、第2低濃度拡散層、および第2高濃度拡散層を形成する。

【0019】上記の本発明の半導体装置の製造方法によれば、第1低濃度拡散層、第1中濃度拡散層および第1高濃度拡散層の3重構造の第1拡散層を有し、高電圧下での駆動が可能な第1電界効果型トランジスタと、第2低濃度拡散層および第2高濃度拡散層の2重構造の第2拡散層を有する従来の第2電界効果型トランジスタとを有する半導体装置を製造できる。ここで、例えば第1低濃度拡散層を形成する導電性不純物を斜めにイオン注入し、第1中濃度拡散層を形成する導電性不純物を垂直にイオン注入すること、あるいは拡散係数の異なる導電性不純物を導入して活性化工程において濃度勾配を発生させ、第1低濃度拡散層と第1中濃度拡散層とを拡散領域を異ならせて形成することなどにより、レジストパターニング工程の増加を抑えることができ、製造コストの削減が可能である。

【0020】上記の本発明の半導体装置の製造方法は、好適には、前記第1低濃度拡散層を形成する導電性不純物を導入する工程が、導電性不純物を斜めにイオン注入する工程である。これにより、ゲート電極やその側部に形成するサイドウォール絶縁膜をマスクとしてイオン注入しても、その下部に回り込んで低濃度拡散層を形成することが可能で、低濃度拡散層を形成するためのマスク層となるレジスト膜のパターニングが不要とすることが

できる。

【0021】上記の本発明の半導体装置の製造方法は、好適には、前記第2低濃度拡散層を形成する導電性不純物を導入する工程の後、前記第1電界効果型トランジスタの形成領域を開口するレジスト膜を形成する工程の前に、前記第1ゲート電極および第2ゲート電極の側部にサイドウォール絶縁膜を形成する工程をさらに有し、さらに好適には、前記第1低濃度拡散層を形成する導電性不純物を導入する工程が、前記サイドウォール絶縁膜をマスクとして導電性不純物を導入する工程であり、前記第1中濃度拡散層を形成する導電性不純物を導入する工程が、前記サイドウォール絶縁膜をマスクとして導電性不純物を導入する工程である。これにより、例えば低濃度拡散層を形成する導電性不純物を斜めにイオン注入し、中濃度拡散層を形成する導電性不純物を垂直にイオン注入すること、あるいは拡散係数の異なる導電性不純物を導入して活性化工程において濃度勾配を発生させ、低濃度拡散層と中濃度拡散層とを拡散領域を異ならせて形成して、サイドウォール絶縁膜の下部の回り込んで低濃度拡散層を形成することにより、レジストパターニング工程の増加を抑えることができ、製造コストの削減が可能である。

【0022】上記の本発明の半導体装置の製造方法は、好適には、前記第1中濃度拡散層を形成する導電性不純物を導入する工程の後、前記第1高濃度拡散層を形成する導電性不純物を導入する工程の前に、前記第1高濃度拡散層形成領域および前記第2高濃度拡散層形成領域を開口するレジスト膜を形成する工程をさらに有し、前記第1高濃度拡散層を形成する導電性不純物を導入する工程と、前記第2高濃度拡散層を形成する導電性不純物を導入する工程とを同時に行う。これにより、第1高濃度拡散層と第2高濃度拡散層を同一のレジスト膜をマスクとして形成することが可能で、レジストパターニング工程の増加を抑えることができ、製造コストの削減が可能である。

【0023】

【発明の実施の形態】以下に、本発明の実施の形態について、図面を参照して説明する。

【0024】図1は、本実施形態の半導体装置の断面図である。図面上左側の領域に高電圧駆動用の3重構造拡散層を有するnチャネル型電界効果型トランジスタ($V_{pp}Tr$)が形成されており、右側の領域に2重構造拡散層を有するnチャネル型電界効果型トランジスタ($V_{cc}Tr$)が形成されている。まず、左側の領域の高電圧駆動用の3重構造拡散層を有する電界効果型トランジスタ($V_{pp}Tr$)について説明する。例えばLOCOS法により形成された素子分離絶縁膜20により区切られたp型半導体基板あるいはpウェル10のチャネル形成領域上に、例えば膜厚が40nmの酸化シリコンからなる第1ゲート絶縁膜21aが形成されており、その上層に例

例えばポリシリコンとタングステンシリサイドのポリサイドからなるゲート電極30が形成されている。ゲート電極30の側壁部をサイドウォール絶縁膜22が被覆している。ゲート電極30の両側部のp型半導体基板あるいはpウェル10中には、n型の第1低濃度拡散層11、第1中濃度拡散層12、および第1高濃度拡散層13からなる3重構造の第1ソース・ドレイン拡散層SDaが形成されており、電界効果トランジスタ($V_{pp}Tr$)が形成されている。

【0025】一方、図1の図面上右側の領域には2重構造拡散層を有する電界効果型トランジスタ($V_{cc}Tr$)が形成されている。例えばLOCOS法により形成された素子分離絶縁膜20により区切られたp型半導体基板あるいはpウェル10のチャネル形成領域上に、例えば膜厚が9nmの酸化シリコンからなる第2ゲート絶縁膜21bが形成されており、その上層に例えばポリシリコンとタングステンシリサイドのポリサイドからなるゲート電極30が形成されている。ゲート電極30の側壁部をサイドウォール絶縁膜22が被覆している。ゲート電極30の両側部のp型半導体基板あるいはpウェル10中には、n型の第2低濃度拡散層14および第2高濃度拡散層15からなる2重構造の第2ソース・ドレイン拡散層SDbが形成されており、電界効果トランジスタ($V_{cc}Tr$)が形成されている。

【0026】かかる構造の半導体装置は、拡散層の構造を3重構造とすることにより、接合耐圧の向上、寄生バイポーラ動作の抑制を行うことができ、MOSFET本来の動作特性を安定に維持することができる、高電圧駆動に適した電界効果型トランジスタと、従来の2重構造の拡散層を有する電界効果型トランジスタとを有する半導体装置である。

【0027】以下に、上記の本実施形態の半導体装置の製造方法について説明する。まず、図2(a)に示すように、図面上左側の領域が高電圧駆動用の3重構造拡散層を有するnチャネル型電界効果型トランジスタ($V_{pp}Tr$)の形成領域であり、右側の領域が2重構造拡散層を有するnチャネル型電界効果型トランジスタ($V_{cc}Tr$)の形成領域である。p型シリコン半導体基板10に対して、例えばLOCOS法により素子分離絶縁膜20を形成し、ウェルなどのチャネル形成領域を形成するイオン注入や、パンチスルー抑制のためのイオン注入などを行った後、 $V_{pp}Tr$ 形成領域のチャネル形成領域上に、例えば熱酸化法により40nmの膜厚の酸化シリコンである第1ゲート絶縁膜21aを形成し、一方、 $V_{cc}Tr$ 形成領域のチャネル形成領域上に、例えば熱酸化法により9nmの膜厚の酸化シリコンである第2ゲート絶縁膜21bを形成する。

【0028】次に、図2(b)に示すように、第1ゲート絶縁膜21aおよび第2ゲート絶縁膜21bの上層に、例えばCVD法によりポリシリコンおよびタングス

テンシリサイドを積層させ、ゲートパターンに加工して、ポリサイド構造のゲート電極30を形成する。

【0029】次に、図2(c)に示すように、 $V_{pp}Tr$ 形成領域をレジスト膜R1で保護し、 $V_{cc}Tr$ 形成領域において、ゲート電極30をマスクとして例えばPあるいはAsなどのn型の導電性不純物D1を $1\sim6\times10^{12}$ atms/cm²のドーズ量でイオン注入し、第2低濃度拡散層14を形成する。

【0030】次に、図3(d)に示すように、レジスト膜R1を除去した後、例えばCVD法により酸化シリコンを堆積させ、RIE(反応性イオンエッチング)などのエッチングによりエッチバックして、ゲート電極30の側部にサイドウォール絶縁膜22を形成する。次に、 $V_{cc}Tr$ 形成領域をレジスト膜R2で保護し、 $V_{pp}Tr$ 形成領域において、サイドウォール絶縁膜22をマスクとして例えばPあるいはAsなどのn型の導電性不純物D2を $1\sim6\times10^{12}$ atms/cm²のドーズ量、90keVのエネルギーで、例えば基板10に対して45度の角度でイオン注入し、第1低濃度拡散層11を形成する。このとき、基板に対して斜めにイオン注入することで、サイドウォール絶縁膜22の下部にまでn型の導電性不純物を回り込ませることができる。

【0031】次に、図3(e)に示すように、 $V_{cc}Tr$ 形成領域をレジスト膜R2で保護したまま、 $V_{pp}Tr$ 形成領域において、サイドウォール絶縁膜22をマスクとして例えばPあるいはAsなどのn型の導電性不純物D3を $6\times10^{12}\sim1\times10^{13}$ atms/cm²のドーズ量で、基板10に対して垂直にイオン注入し、第1中濃度拡散層12を形成する。このとき、基板に対して垂直にイオン注入することで、第1低濃度拡散層の形成時のように、サイドウォール絶縁膜22の下部にまでn型の導電性不純物を回り込むことはない。

【0032】次に、図3(f)に示すように、レジスト膜R2を除去した後、 $V_{pp}Tr$ の高濃度拡散層形成領域と $V_{cc}Tr$ 形成領域を開口したレジスト膜R3を形成する。次に、 $V_{pp}Tr$ 形成領域においてはレジスト膜R3をマスクとして、 $V_{cc}Tr$ 形成領域においてはサイドウォール絶縁膜22をマスクとして、例えばPあるいはAsなどのn型の導電性不純物D4を 1×10^{15} atms/cm²以上のドーズ量でイオン注入し、 $V_{pp}Tr$ 形成領域において第1高濃度拡散層13を、 $V_{cc}Tr$ 形成領域において第2高濃度拡散層15形成する。

【0033】次に、レジスト膜R3を除去した後、上記で注入したn型の導電性不純物を活性化するために、アニール処理を行い、 $V_{pp}Tr$ 形成領域において第1低濃度拡散層11、第1中濃度拡散層12、および第1高濃度拡散層13からなる3重構造の第1ソース・ドレイン拡散層SDaを、 $V_{cc}Tr$ 形成領域において第2低濃度拡散層14および第2高濃度拡散層15からなる2重構造の第2ソース・ドレイン拡散層SDbを形成し、高電

圧駆動用の 3 重構造拡散層を有する n チャネル型電界効果型トランジスタ ($V_{pp}Tr$) と、2 重構造拡散層を有する n チャネル型電界効果型トランジスタ ($V_{cc}Tr$) とを形成する。

【0034】次に、例えば CVD 法により上記のトランジスタ ($V_{pp}Tr$ 、 $V_{cc}Tr$) を被覆して全面に酸化シリコンを堆積させて層間絶縁膜 23 を形成し、層間絶縁膜 23 を貫通してソース・ドレイン拡散層 SD に達するコンタクトホールを開口し、例えばタングステンなどでコンタクトホール内に埋め込み電極 31 を形成し、さらに例えばアルミニウムなどで上層配線 32 を形成し、さらに CVD 法により酸化シリコンの保護絶縁膜 24 を形成するなどを行い、図 1 に示すような所望の半導体装置を形成する。

【0035】上記の本実施形態の半導体装置の製造方法によれば、レジストパターニング工程の増加を抑え、製造コストの削減を可能とした高電圧下での駆動の適したトランジスタを有する半導体装置の製造方法を提供することができる。

【0036】本発明は、高度に微細化および高集積化した EEPROM などの半導体不揮発性記憶装置、DRAM などの半導体記憶装置、A/D コンバータなどの半導体装置、あるいは論理演算素子などの半導体装置など、MOS 型電界効果トランジスタを有する半導体装置であればなんでも適用でき、特に高電圧駆動用の MOS トランジスタを有する半導体装置の製造に好ましく適用可能である。

【0037】本発明は、上記の実施形態に限定されない。例えば、MOS 型電界効果トランジスタとしては、p チャネル型、n チャネル型のどちらでもよい。実施形態においては n チャネル型について説明しているが、p チャネル型とするためには、n 型不純物と p 型不純物を入れ替えることで製造することができる。ゲート電極は 2 層構造のポリサイドとしているが、1 層構成でもよく、3 層以上の構成でもよい。低濃度拡散層、中濃度拡散層、および高濃度拡散層の形成は、イオン注入の際に斜めに角度をつけることや、拡散係数の異なる不純物を

導入し、活性化するアニール処理において拡散領域を異ならせる方法などによりマスクの形成を省略可能とすることができる。また、その他、本発明の要旨を逸脱しない範囲で、種々の変更を行うことができる。

【0038】

【発明の効果】本発明によれば、レジストパターニング工程の増加を抑え、製造コストの削減を可能とした高電圧下での駆動の適したトランジスタを有する半導体装置の製造方法を提供することができる。

【図面の簡単な説明】

【図 1】図 1 は本発明の半導体装置の断面図である。

【図 2】図 2 は本発明の半導体装置の製造方法の製造工程を示す断面図であり、(a) はゲート絶縁膜の形成工程まで、(b) はゲート電極の形成工程まで、(c) は第 2 低濃度拡散層を形成する不純物を導入する工程までを示す。

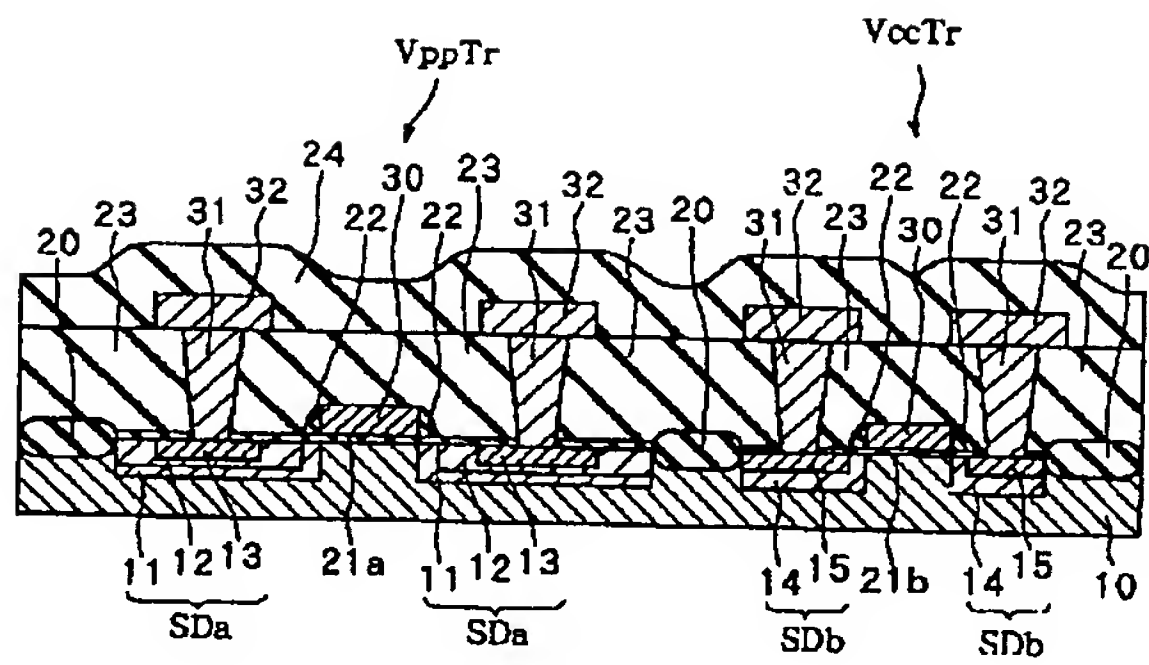
【図 3】図 3 は図 2 の続きの工程を示し、(d) は第 1 低濃度拡散層を形成する不純物の導入工程まで、(e) は第 1 中濃度拡散層を形成する不純物導入工程まで、(f) は第 1 高濃度拡散層および第 2 高濃度拡散層を形成する不純物の導入工程までを示す。

【図 4】図 4 は従来例の半導体装置の要部断面図である。

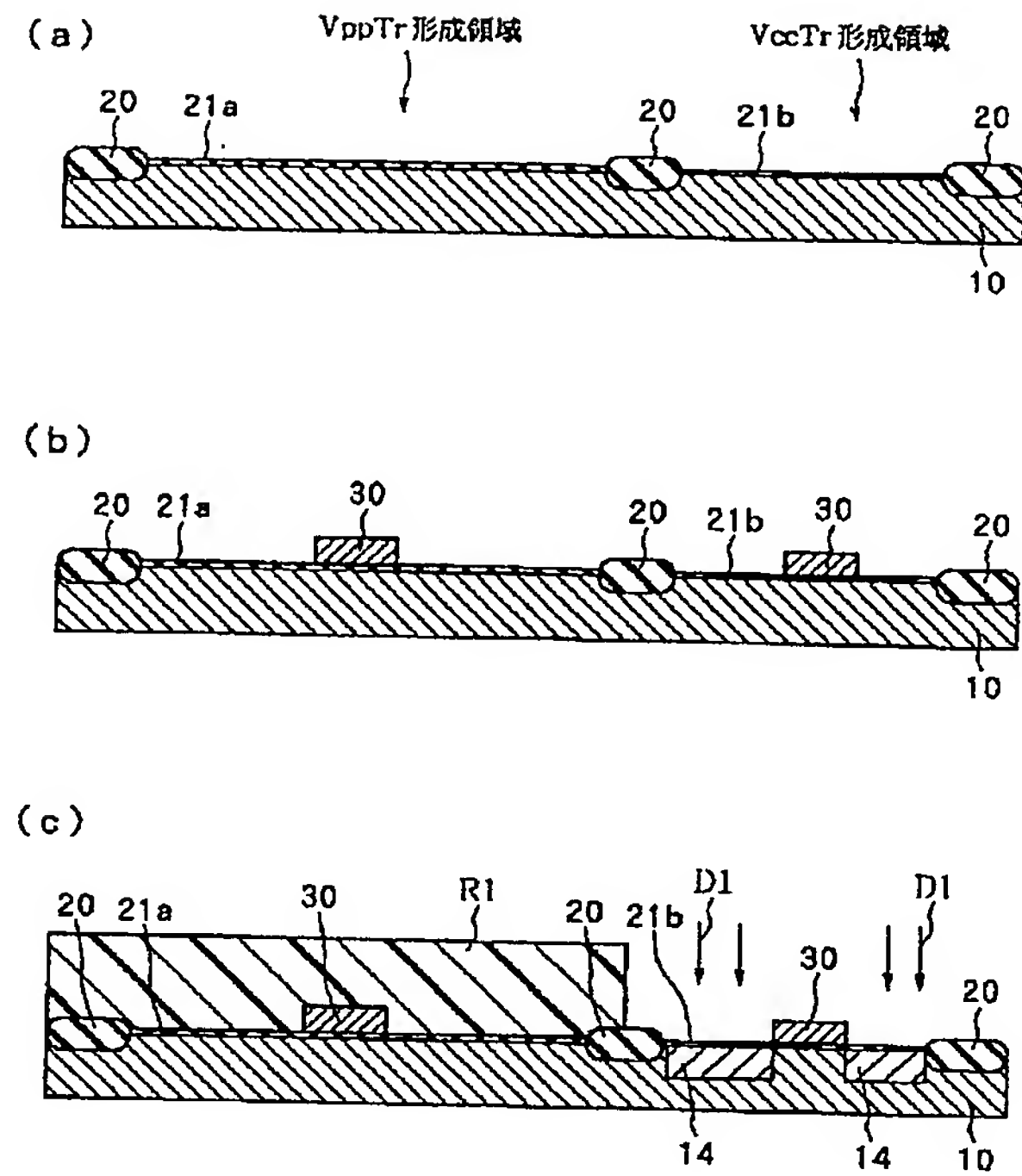
【符号の説明】

10…半導体基板、11…第 1 低濃度拡散層、12…第 1 中濃度拡散層、13…第 1 高濃度拡散層、14…第 2 低濃度拡散層、15…第 2 高濃度拡散層、16…低濃度拡散層、17…高濃度拡散層、20…素子分離絶縁膜、21a、21b…ゲート絶縁膜、22…サイドウォール絶縁膜、23…層間絶縁膜、24…保護絶縁膜、30…ゲート電極、31…埋め込み配線、32…上層配線、SDa…第 1 ソース・ドレイン拡散層、SDb…第 2 ソース・ドレイン拡散層、D1～D4…導電性不純物イオン、R1～R3…レジスト膜、 $V_{pp}Tr$ …3 重拡散層構造の電界効果型トランジスタ、 $V_{cc}Tr$ …2 重拡散層構造の電界効果型トランジスタ。

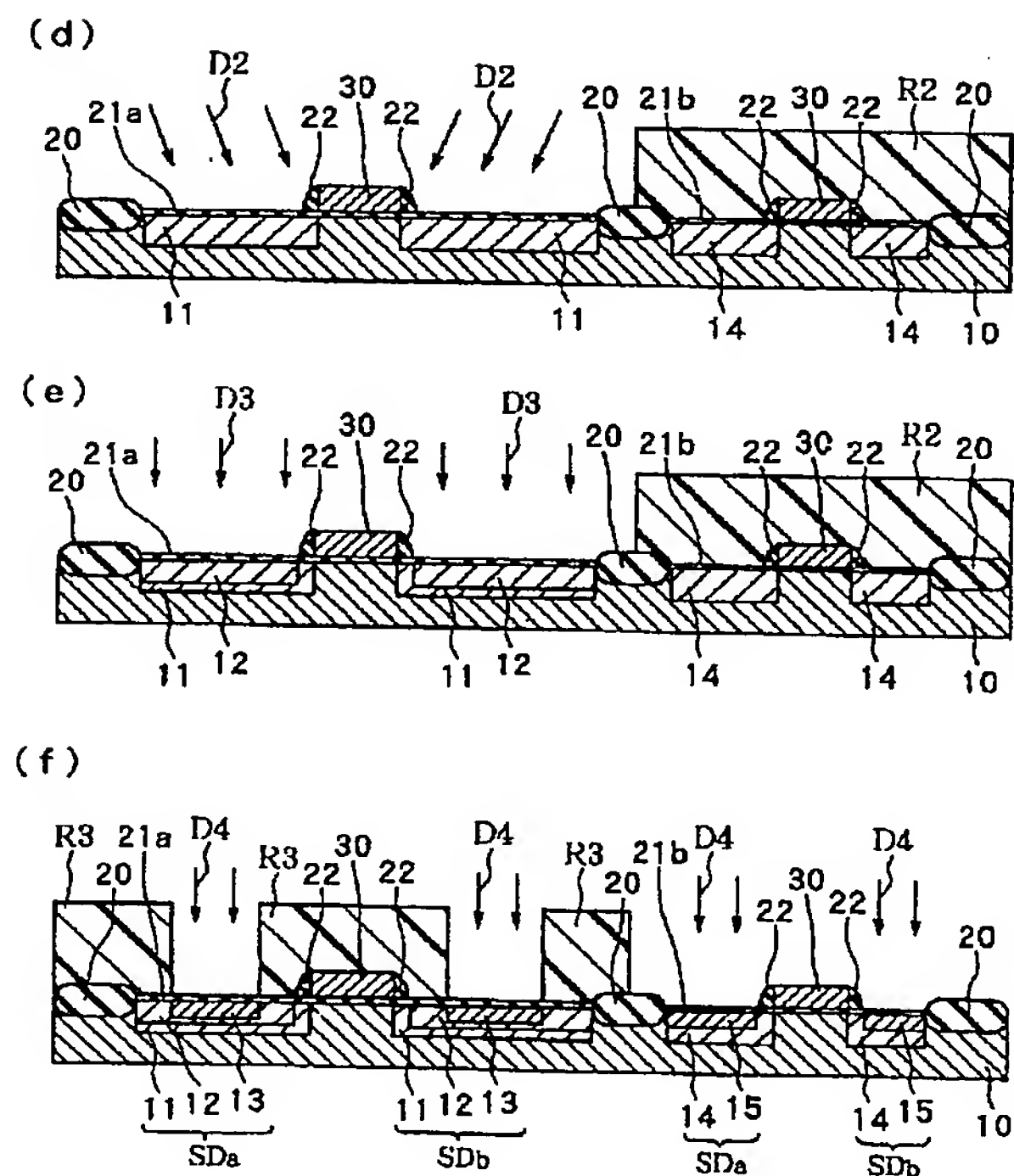
【図1】



【図2】



【図3】



【図4】

